

S94P1344US00

JC675 U.S. PTO
09/459967
12/13/99

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 1998年12月14日

出願番号
Application Number: 平成10年特許願第354735号

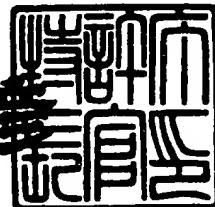
出願人
Applicant(s): ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 9月24日

特許庁長官
Commissioner,
Patent Office

近藤 隆



出証番号 出証特平11-3063266

【書類名】 特許願

【整理番号】 9800499001

【提出日】 平成10年12月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 5/14

【発明の名称】 データ処理回路

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

【氏名】 立花 久

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理回路

【特許請求の範囲】

【請求項1】

少なくとも一のチャンネルのパケットデータを含む複数のパケットデータをアプリケーション側から入力し、当該入力した複数のパケットデータのなかから、所望のチャンネルのパケットデータを選択し、当該選択したパケットデータをデータ伝送路に送出するデータ処理回路であって、

前記アプリケーション側から有効な前記パケットデータが入力されているタイミングを特定する第1のパケットデータ有効性指示信号に基づいて、前記入力したパケットデータ内のチャンネル識別データを抽出するチャンネル識別データ抽出回路と、

前記抽出した前記チャンネル識別データと、予め決定された選択するチャンネルを指定するチャンネル指定データとを比較する比較回路と、

前記比較の結果が一致を示す場合に、前記第1のパケットデータ有効性指示信号を第2のパケットデータ有効性指示信号として出力し、前記比較の結果が不一致を示す場合に、無効を示す前記第2のパケットデータ有効性指示信号を出力するパケットデータ有効性指示信号生成回路と、

前記第2のパケットデータ有効性指示信号と前記パケットデータとを対応したタイミングで入力し、前記第2のパケットデータ有効性指示信号が有効であることを示すタイミングで入力した前記パケットデータを選択して前記データ伝送路に送出する送信回路と

を有するデータ処理回路。

【請求項2】

前記チャンネル識別データ抽出回路は、前記第1のパケットデータ有効性指示信号を前記アプリケーション側から入力する

請求項1に記載のデータ処理回路。

【請求項3】

前記送信回路は、前記第2のパケットデータ有効性指示信号が無効であること

を示すタイミングで、挿入データを前記データ伝送路に送出する
請求項1に記載のデータ処理回路。

【請求項4】

前記挿入データは、前記選択されたパケットデータに関する情報データである
請求項2記載のデータ処理回路。

【請求項5】

前記チャンネル指定データを記憶する記憶回路
をさらに有する請求項1に記載のデータ処理回路。

【請求項6】

前記記憶回路に前記チャンネル指定データを書き込むコンピュータ
をさらに有する請求項5に記載のデータ処理回路。

【請求項7】

前記データ伝送路に送出するパケットデータを記憶する送出パケットデータ記
憶回路

をさらに有し、

前記送信回路は、前記第2のパケットデータ有効性指示信号が有効であること
を示すタイミングで入力した前記パケットデータを選択して送出パケットデータ
記憶回路に書き込む

請求項1に記載のデータ処理回路。

【請求項8】

前記送信回路は、予め決められた時間間隔で前記選択したパケットデータを前
記データ伝送路に送出する

請求項1に記載のデータ処理回路。

【請求項9】

前記データ伝送路は、シリアルバスである
請求項1に記載のデータ処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルシリアルインターフェースなどに用いられるデータ処理回路に関するものである。

【0002】

【従来の技術】

近年、マルチメディア・データ転送のためのインターフェースとして、高速データ転送、リアルタイム転送を実現する IEEE (The Institute of Electrical and Electronic Engineers) 1394、High Performance Serial Bus が規格化された。

【0003】

この IEEE 1394 シリアルインターフェースのデータ転送には、従来の Request, Acknowledge の要求、受信確認を行うアシンクロナス (Asynchronous) 転送と、 $125\mu s$ に 1 回必ずデータが送られるアイソクロナス (Isochronous) 転送がある。

【0004】

このように、2つの転送モードを有する IEEE 1394 シリアルインターフェースでのデータは、パケット単位で転送が行われる。

【0005】

このような IEEE 1394 シリアルインターフェースに用いられるデータ処理回路は、図 8 に示すように、主として IEEE 1394 シリアルバス BUS を直接ドライブするフィジカル・レイヤ回路 1 と、フィジカル・レイヤ回路 1 のデータ転送をコントロールするリンク・レイヤ回路 2 とにより構成される。

【0006】

上述した IEEE 1394 シリアルインターフェースにおけるアイソクロナス通信系では、例えば図 8 に示すように、リンク・レイヤ回路 2 はフィジカル・レイヤ回路 3 を介して IEEE 1394 シリアルバス BUS に接続されている。

そして、リンク・レイヤ回路 2 には、MPEG (Moving Picture coding Exper-

ts Group) 2 トランスポータやD V C R (Digital Video Cassette Recorder)などのアプリケーション3が接続される。

【0007】

【発明が解決しようとする課題】

ところで、例えば、デジタル衛星放送などのデータは、デジタル衛星放送用のセット・トップ・ボックスを介してリンク・レイヤ回路2に供給されるが、セット・トップ・ボックスに供給されるデータには複数のチャンネルが多重化されている。

【0008】

しがしながら、従来のI E E E 1 3 9 4シリアルインターフェースのデータ処理回路は、複数のチャンネルが多重化されたデータから特定のチャンネルだけを選択して出力することができない。

したがって、チャンネル選択用の外付けの回路を設け、ここで特定のチャンネルのデータを抽出してリンク・レイヤ回路2に入力させる必要があった。

また、特定のチャンネルを選択した場合には、その選択したチャンネルに関する情報を附加してシリアルインターフェースバスに送信したい場合があるが、I E E E 1 3 9 4シリアルインターフェースのデータ処理回路では、チャンネルを選択し、当該選択したチャンネルのデータに、当該チャンネルに関する情報を附加するという機能を備えた構成は未だ実現されていない。

【0009】

本発明は、上述した従来技術に鑑みてなされたものであり、チャンネル選択用の外付け回路を用いることなく、複数のチャンネルが多重化されたデータから特定のチャンネルのデータを選択してデータ伝送路に送出できるデータ処理回路を提供することを目的とする。

また、本発明は、選択したチャンネルのデータと共に、当該選択したチャンネルのデータに関する情報データをデータ伝送路に送出できるデータ処理回路を提供することを目的とする。

【0010】

【課題を解決するための手段】

上述した目的を達成するために、本発明のデータ処理回路は、少なくとも一のチャンネルのパケットデータを含む複数のパケットデータをアプリケーション側から入力し、当該入力した複数のパケットデータのなかから、所望のチャンネルのパケットデータを選択し、当該選択したパケットデータをデータ伝送路に送出するデータ処理回路であって、前記アプリケーション側から有効な前記パケットデータが入力されているタイミングを特定する第1のパケットデータ有効性指示信号に基づいて、前記入力したパケットデータ内のチャンネル識別データを抽出するチャンネル識別データ抽出回路と、前記抽出した前記チャンネル識別データと、予め決定された選択するチャンネルを指定するチャンネル指定データとを比較する比較回路と、前記比較の結果が一致を示す場合に、前記第1のパケットデータ有効性指示信号を第2のパケットデータ有効性指示信号として出力し、前記比較の結果が不一致を示す場合に、無効を示す前記第2のパケットデータ有効性指示信号を出力するパケットデータ有効性指示信号生成回路と、前記第2のパケットデータ有効性指示信号と前記パケットデータとを対応したタイミングで入力し、前記第2のパケットデータ有効性指示信号が有効であることを示すタイミングで入力した前記パケットデータを選択して前記データ伝送路に送出する送信回路とを有する。

【0011】

本発明のデータ処理回路では、アプリケーション側からパケットデータが入力される。

そして、チャンネル指示データ抽出回路において、第1のパケットデータ有効性指示信号に基づいて、前記入力したパケットデータ内のチャンネル識別データが抽出される。

そして、比較回路において、当該抽出した前記チャンネル識別データと、チャンネル指定データとが比較される。

そして、パケットデータ有効性指示信号生成回路において、前記比較の結果が一致を示す場合に、前記第1のパケットデータ有効性指示信号が第2のパケット

データ有効性指示信号として出力され、前記比較の結果が不一致を示す場合に、無効を示す前記第2のパケットデータ有効性指示信号が出力される。

そして、送信回路において、前記第2のパケットデータ有効性指示信号が有効であることを示すタイミングで入力された前記パケットデータが選択され、前記データ伝送路に送出される。

【0012】

また、本発明のデータ処理回路は、好ましくは、前記送信回路は、前記第2のパケットデータ有効性指示信号が無効であることを示すタイミングで、挿入データを前記データ伝送路に送出する。

【0013】

また、本発明のデータ処理回路は、好ましくは、前記挿入データは、前記選択されたパケットデータに関する情報データである。

【0014】

また、本発明のデータ処理回路は、好ましくは、前記予め決定された選択するチャンネルを指定する前記チャンネル指定データを記憶する記憶回路をさらに有する。

【0015】

また、本発明のデータ処理回路は、好ましくは、前記記憶回路に前記チャンネル指定データを書き込むコンピュータをさらに有する。

【0016】

【発明の実施の形態】

図1は、IEEE1394シリアルインタフェースに適用される本発明に係るデータ処理回路の一実施形態を示すブロック構成図である。

【0017】

このデータ処理回路は、リンク・レイヤ回路10、フィジカル・レイヤ回路20、ホストコンピュータとしてのCPU30により構成されている。また、リンクレイヤ回路10には、アプリケーション40が接続されている。

アプリケーション40は、図1に示すように、例えば、MPEG2トランスポータ(Transporter)41、D/A(Digital/Analog)コンバータ42、IEC95

8デジタルオーディオ回路43およびPLL回路44を有している。

【0018】

リンク・レイヤ回路10は、CPU30の制御の下、アシンクロナス転送およびアイソクロナス転送の制御、並びにフィジカル・レイヤ回路20の制御を行う。

具体的には、リンク・レイヤ回路10は、図1に示すように、例えば、リンクコア回路(Link Core)101、ホストインターフェース回路(HOST I/F)102、アプリケーションインターフェース回路(AP I/F)103、アシンクロナス通信の送信用FIFO回路(AT-FIFO)104、アシンクロナス通信の受信用FIFO回路(AR-FIFO)105、インサートパケットバッファ(IPB)106、アイソクロナス通信用送信前処理回路(TXOPRE)108、アイソクロナス通信用送信後処理回路(TXOPRO)109、アイソクロナス通信用受信前処理回路(TXIPRE)110、アイソクロナス通信用受信後処理回路(TXIPRO)111、アイソクロナス通信の送信用FIFO回路(IT-FIFO)112、アイソクロナス通信の送受信用FIFO回路(IR-FIFO)113およびコンフィギュレーションレジスタ(Configuration Register、以下CFRという)114により構成されている。

【0019】

図1に示すリンク・レイヤ回路10では、ホストインターフェース回路102、送信用FIFO回路104、受信用FIFO回路105およびリンクコア回路101によりアシンクロナス通信系回路が構成される。

そして、アプリケーションインターフェース回路103、送信前処理回路108、送信後処理回路109、受信前処理回路110、受信後処理回路111、送信用FIFO回路112、送受信用FIFO回路113およびリンクコア回路101によりアイソクロナス通信系回路が構成される。

【0020】

リンクコア回路101

リンクコア回路101は、アシンクロナス通信用パケットデータおよびアイソクロナス通信用パケットデータの送信回路、受信回路、これらパケットデータのIEEE1394シリアルバスBSを直接ドライブするフィジカル・レイヤ回路

20とのインターフェース回路、 $125\mu s$ 毎にリセットされるサイクルタイマ、サイクルモニタやCRC回路から構成されている。そして、例えばサイクルタイマ等の時間データ等はCFR111を通してアイソクロナス通信系処理回路に供給される。

【0021】

ホストインターフェース回路102

ホストインターフェース回路102は、主として、CPU30と送信用 FIFO回路104および受信用 FIFO回路105との間でのアシンクロナス通信用パケットデータの書き込み、読み出し等の調停、並びに、CPU30とCFR114との間での各種データの送受信の調停を行う。

例えば、MPEG2トランスポータ41から入力したデジタル衛星放送の複数のチャンネルが多重化されたTSストリームの中から任意のチャンネルのTSパケットデータを抽出する場合には、ホストインターフェース回路102を介して、CPU30からCFR114内のPID(Partial Identifier)レジスタReg₁、PIDレジスタReg₂の少なくとも一方に、抽出しようとするTSパケットデータのチャンネル識別データPIDを示すチャンネル指定データCPIDが設定される。

ここで、2個のPIDレジスタReg₁、Reg₂に合計2チャンネル分のチャンネル指定データCPIDを設定可能なのは、本実施形態では、同時に2チャネルのアイソクロナス送信が可能であるため、2チャネル分のTSパケットデータを同時に抽出できるようにするためである。

【0022】

また、ホストインターフェース回路102を介して、CPU30からCFR114のレジスタIPTxGoには、例えば、MPEG2トランスポータ41からのTSストリームから抽出したTSパケットデータによって提供される番組の情報として付加すべき挿入用パケットデータであるインサートパケット(Insert Pack et)データIPDを挿入する必要が生じたとき、論理値「1」が設定される。

【0023】

また、ホストインターフェース回路102を介して、CPU30からCFR11

4のP I Dオン・オフレジスタには、アプリケーションインターフェース回路103においてチャンネル選択を行うか否かを示すP I Dオン・オフ信号S Wが設定される。

【0024】

送信用FIFO104および受信用FIFO105

送信用FIFO104には、IEEE1394シリアルバスB U Sに伝送させるアシンクロナス通信用パケットデータが格納される。

また、受信用FIFO105にはIEEE1394シリアルインターフェースバスB U Sを伝送されてきたアシンクロナス通信用パケットデータが格納される。

【0025】

アプリケーションインターフェース回路103

アプリケーションインターフェース回路103は、アプリケーション40と送信前処理回路108および受信後処理回路111との間のデータの送受信の調停を行う。

そして、例えばM P E G 2トランスポータ41から送られてくるデジタル衛星放送の複数のチャンネルが多重化されたT Sデータから、任意のチャンネルのT Sパケットデータを選択してIEEE1394シリアルバスB U Sに送信する場合には、前述したように、CFR114内のP I DレジスタR e g₁，P I DレジスタR e g₂に設定されたチャンネル指定データC P I Dタと一致するチャンネル識別データP I Dを持つT Sパケットデータを抽出するためのパケットイネーブル信号P E N_O U T₁，P E N_O U T₂を生成する。

また、アプリケーションインターフェース回路103は、抽出されたT Sパケットデータによって提供される番組に関する情報をインサートパケットデータとして送信する場合に、当該インサートパケットデータを送信するタイミングを決定するためのインサートイネーブル信号I P E N_O U Tを生成する。

【0026】

図2および図3はアプリケーションインターフェース回路103のチャンネル選択回路200の構成例を示すブロック図、図4は図2および図3に示す各信号のタイミングチャートである。

図2および図3に示すように、チャンネル選択回路200は、PID抽出回路202、PIDロード信号生成回路204、PID比較回路206、208、遅延回路210、イネーブル信号生成回路212、遅延回路214、D-FF回路216₁を有する。

なお、これらの構成要素は、図示しないクロック信号生成回路が出力するクロック信号CKを基準として動作する。

【0027】

チャンネル選択回路200は、デジタル衛星放送の複数のチャンネルが多重化されたTSデータのデータData_INと、パケットイネーブル信号PEN_INとをMPEG2トランスポータ41から入力する。

また、チャンネル選択回路200は、データData_OUTおよびパケットイネーブル信号PEN_OUT₁、PEN_OUT₂を送信前処理回路108に出力し、インサートイネーブル信号IPEN_OUTをインサートパケットバッファ106に出力する。

【0028】

以下、チャンネル選択回路200の構成要素について、図2～4を参照しながら詳細に説明する。

【PID抽出回路202】

PID抽出回路202は、PIDロード信号生成回路204から入力したPIDロード信号S204に基づいて、図1に示すMPEG2トランスポータ41から入力したTSデータを構成する各々188バイトのTSパケットデータから、13ビットのチャンネル識別データPIDを抽出する。

【0029】

図2に示すように、PID抽出回路202は、D-FF回路216₆、216₇、216₈およびスイッチ回路220を有する。

PID抽出回路202では、D-FF回路216₆のD端子に、TS(Transport Stream)データが入力される。具体的には、図2に示すように、D-FF回路216₆のD端子に、TSデータを構成する、図4(C)に示すように各クロックサイクル毎に8ビットを持つデータData_INが入力される。

【0030】

D-F F回路216₆のQ端子には、遅延回路210とD-F F回路216₇のD端子およびQ端子とが接続されている。

また、D-F F回路216₇のQ端子は、スイッチ回路220のH端子にも接続されている。

また、スイッチ回路220のA端子はD-F F回路216₈のD端子に接続され、L端子はD-F F回路216₈のQ端子に接続されている。

スイッチ回路220は、PIDロード信号生成回路204からのPIDロード信号S204が論理値「1」のときにA端子とH端子とを接続し、PIDロード信号S204が論理値「0」のときにA端子とL端子とを接続する。

また、D-F F回路216₈のQ端子はPID比較回路206および208に接続されている。

【0031】

PID抽出回路202の動作例について説明する。

PID抽出回路202では、例えば、図4（A）に示すクロック信号CKの1クロックサイクル毎に、8ビットを単位として、図1に示すMPEG2トランスポータ41が出力した図4（C）に示すデータData_INがD-F F回路216₆のD端子に入力される。

ここで、データData_INは、前述したように、188バイトで1パケットデータを構成するTSデータであり、最初の8ビットにパケットデータの先頭を識別するためのデータstart_byteを格納し、次の8ビットのうち LSB側の4ビット[12:8]がチャンネル識別データPIDのMSB側の4ビットを格納し、次の8ビットがチャンネル識別データPIDのLSB側の8ビットを格納し、次の8ビット以降がデータ（ペイロード）を格納している。

【0032】

そして、図4（B）に示すデータData_INをD-F F回路216₆で1クロックサイクルだけ遅延した図4（D）に示す8ビットのデータData₁が、遅延回路210と、D-F F回路216₇のD端子と、D-F F回路216₇のQ端子側とに出力される。

そして、データData₁をD-FF回路216₇で1クロックサイクルだけ遅延した図4(E)に示すデータData₂が、D-FF回路216₇のQ端子から出力される。

そして、図4(D)に示すデータData₁と、図4(E)に示すデータData₂のLSB側の4ビットとから構成される13ビットのデータData₃が、スイッチ回路220のH端子に出力される。

【0033】

そして、図4(D), (E), (H)に示すように、PIDロード信号S204が論理値「1」となっている1クロックサイクルの間に、図4(I)に示すように、データData₃がチャンネル識別データPID₁となり、スイッチ回路220のH端子とA端子とが接続され、チャンネル識別データPID₁がD-FF回路216₈のD端子に入力される。

そして、図4(I)に示すチャンネルチャンネル識別データPID₁をD-FF回路216₈で1クロックサイクルだけ遅延した図4(J)に示すチャンネル識別データPID₂が、スイッチ回路220のL端子およびPID比較回路206, 208に出力される。

PIDロード信号S204は、以後、論理値「0」になり、スイッチ回路220において端子Lと端子Aとが接続され、チャンネル識別データPID₂の論理値が保持される。

【0034】

なお、PIDロード信号S204は、図4(D), (E), (H)に示すように、データData₁とData₂とに含まれる合計13ビットのPIDデータがデータData₃に生じたタイミングで論理値「1」になり、当該タイミングは、PIDロード信号生成回路204によって後述するように決定される。

【0035】

【PIDロード信号生成回路204】

PIDロード信号生成回路204は、図1に示すMPEG2トランスポータ41から入力したパケットイネーブル信号PEN_INに基づいて、PID抽出回路202においてチャンネル識別データPIDを抽出するタイミングを決定する

ために用いられるP I Dロード信号S 2 0 4を生成する。

【0036】

図2に示すように、P I Dロード信号生成回路2 0 4は、D-F F回路2 1 6₂，2 1 6₃，2 1 6₄，2 1 6₅およびAND回路2 1 8を有する。

D-F F回路2 1 6₂のD端子には、図4（B）に示すパケットイネーブル(Packet Enable)信号P E N—I Nが入力される。

D-F F回路2 1 6₂のQ端子は、D-F F回路2 1 6₃のD端子およびAND回路2 1 8の一方の入力端子に接続されている。

D-F F回路2 1 6₃のQ—端子は、AND回路2 1 8の他方の入力端子に接続されている。

AND回路2 1 8の出力端子はD-F F回路2 1 6₄のD端子に接続され、D-F F回路2 1 6₄のQ端子はD-F F回路2 1 6₅のD端子に接続されている。

D-F F回路2 1 6₅のQ端子からは、前述したP I Dロード信号S 2 0 4が、スイッチ回路2 2 0に向けて出力される。

【0037】

P I Dロード信号生成回路2 0 4の動作について説明する。

図4（B）に示すパケットイネーブル信号P E N—I Nが、図1に示すM P E G 2トランスポータ4 1からD-F F回路2 1 6₂のD端子に入力され、パケットイネーブル信号P E N—I Nを1クロックサイクルだけ遅延した図4（C）に示すパケットイネーブル信号P E N₁がD-F F回路2 1 6₃のD端子およびAND回路2 1 8の一方の入力端子に出力される。

そして、パケットイネーブル信号P E N₁が論理値「1」に切り換わると、当該切り換わりから1クロックサイクルの間、D-F F回路2 1 6₃のQ—端子から出力される信号が論理値「1」となり、AND回路2 1 8の2入力の双方が論理値「1」になり、AND回路2 1 8の出力端子から出力されるエッジ検出信号E D G E₁に図4（F）に示すようにパルスが発生する。

【0038】

そして、図4（F）に示すエッジ検出信号E D G E₁を1クロックサイクルだ

け遅延した図4 (G) に示すエッジ検出信号EDGE₂ がD-FF回路216₅ のD端子に出力される。

【0039】

そして、図4 (G) に示すエッジ検出信号EDGE₂ を1クロックサイクルだけ遅延した図4 (H) に示すPIDロード信号S204 がスイッチ回路220に出力される。

【0040】

〔遅延回路210およびD-FF回路216₁〕

遅延回路210は、データData_OUTとパケットイネーブル信号PEN_OUT₁, PEN_OUT₂との間のタイミングを調整するために、D-FF回路216₆のQ端子から出力された図4 (D) に示すデータData₁を、3クロックサイクルだけ遅延したデータData₄をD-FF回路216₁に出力する。

D-FF回路216₁は、遅延回路210から入力したデータData₄を1クロックサイクルだけ遅延した図4 (O) に示すデータData_OUTを図1に示す送信前処理回路108に出力する。

【0041】

〔PID比較回路206〕

PID比較回路206は、CFR114内のPIDレジスタReg₁から読み出した13ビットのチャンネル指定データCPID₁ [0]～[12]と、D-FF回路216₈のQ端子から入力した13ビットのチャンネル識別データPID₂ [0]～[12]とをビット毎に比較し、全てのビットが一致している場合に論理値「1」となり、そうでない場合に論理値「0」となるPID比較結果信号S206を生成し、PID比較結果信号S206を図3に示すOR回路232₁に出力する。

【0042】

図5は、PID比較回路206の構成図である。

図5に示すように、PID比較回路206は、2入力1出力のEX (Exclusive NOR) 回路300₀～300₁₂および13入力1出力のAND回路302を有

する。

ここで、2入力1出力のEXNOR回路は、排他的論理和の反転を演算し、入力のデータが同じ論理値のとき（すなわち、論理値「1」と「1」、あるいは、論理値「0」と「0」のとき）に出力を論理値「1」にし、それ以外のときに、出力を論理値「0」にする。

【0043】

図5に示すように、PID比較回路206は、CFR114内のPIDレジスタReg₁から読み出した13ビットのチャンネル指定データCPID₁ [0]～[12]の各々をEXNOR回路300₀～300₁₂の一方の入力端子にそれぞれ入力し、D-F-F回路216₈のQ端子から入力した13ビットのチャンネル識別データPID₂ [0]～[12]の各々をEXNOR回路300₀～300₁₂の他方の入力端子にそれぞれ入力する。

また、EXNOR回路300₀～300₁₂の出力端子は、AND回路302の入力端子に接続されている。

【0044】

PID比較回路206の動作について説明する。

PID比較回路206は、nを0以上12以下の整数とした場合に、EXNOR回路300_nにおいて、チャンネル指定データCPID₁ [n]とチャンネル識別データPID₂ [n]との排他的論理和の反転が演算され、その演算結果を示す演算結果信号がAND回路302に出力される。

そして、AND回路302において、EXNOR回路300₀～300₁₂から入力した演算結果信号が全て論理値「1」のとき、すなわちチャンネル指定データCPID₁とチャンネル識別データPID₂とが一致しているときに論理値「1」となり、そうでないときに論理値「0」となるPID比較結果信号S206が生成される。

PID比較結果信号S206は、図3に示すOR回路232₁に出力される。

【0045】

【PID比較回路208】

PID比較回路208は、CFR114内のPIDレジスタReg₂から読み

出した13ビットのチャンネル指定データ $C P I D_2 [0] \sim [12]$ と、D-F F回路 216_8 のQ端子から入力した13ビットのチャンネル識別データ $P I D_2 [0] \sim [12]$ とをビット毎に比較し、全てのビットが一致している場合に論理値「1」となり、そうでない場合に論理値「0」となる $P I D$ 比較結果信号 $S 208$ を生成し、 $P I D$ 比較結果信号 $S 208$ を図3に示すOR回路 232_2 に出力する。

【0046】

図6は、 $P I D$ 比較回路 208 の構成図である。

図6に示すように、 $P I D$ 比較回路 208 は、図5に示す $P I D$ 比較回路 206 と同じ構成をしており、2入力1出力の $E \times N O R$ 回路 $310_0 \sim 310_{12}$ および13入力1出力のAND回路 312 を有する。

【0047】

図6に示すように、 $P I D$ 比較回路 208 は、CFR114内の $P I D$ レジスタ $R e g_2$ から読み出した13ビットのチャンネル指定データ $C P I D_2 [0] \sim [12]$ の各々を $E \times N O R$ 回路 $310_0 \sim 310_{12}$ の一方の入力端子にそれぞれ入力し、D-F F回路 216_8 のQ端子から入力した13ビットのチャンネル識別データ $P I D_2 [0] \sim [12]$ の各々を $E \times N O R$ 回路 $310_0 \sim 310_{12}$ の他方の入力端子にそれぞれ入力する。

また、 $E \times N O R$ 回路 $310_0 \sim 310_{12}$ の出力端子は、AND回路 312 の入力端子に接続されている。

【0048】

$P I D$ 比較回路 208 の動作について説明する。

$P I D$ 比較回路 208 は、nを0以上12以下の整数とした場合に、 $E \times N O R$ 回路 310_n において、チャンネル指定データ $C P I D_2 [n]$ とチャンネル識別データ $P I D_2 [n]$ との排他的論理和の反転が演算され、その演算結果を示す演算結果信号がAND回路 312 に出力される。

そして、AND回路 312 において、 $E \times N O R$ 回路 $310_0 \sim 310_{12}$ から入力した演算結果信号が全て論理値「1」のとき、すなわちチャンネル指定データ $C P I D_2$ とチャンネル識別データ $P I D_2$ とが一致しているときに論理値「

1」となり、そうでないときに論理値「0」となるP I D比較結果信号S 2 0 8が生成される。

P I D比較結果信号S 2 0 8は、図3に示すO R回路2 3 2₂に出力される。

【0049】

〔遅延回路214〕

遅延回路214は、図2に示すD-F F回路216₂のQ端子から出力された図4 (C)に示すパケットイネーブル信号P E N₁を入力し、当該入力したパケットイネーブル信号P E N₁を3クロックサイクルだけ遅延した図4 (Q)に示すパケットイネーブル信号P E N₂を生成し、当該生成したパケットイネーブル信号P E N₂をAND回路236₁～236₃の一方の入力端子に出力する。

【0050】

〔イネーブル信号生成回路212〕

図3に示すように、イネーブル信号生成回路212は、NOT回路230、O R回路232₁，232₂、NOR回路234、AND回路236₁～236₃およびD-F F回路216₉，216₁₀，216₁₁を有する。

【0051】

イネーブル信号生成回路212は、遅延回路214から入力したパケットイネーブル信号P E N₂と、図2に示すP I D比較回路206，208から入力したP I D比較結果信号S 2 0 6，S 2 0 8と、図1に示すCFR114内のP I Dオン・オフレジスタから読み込んだP I Dオン・オフ信号S Wとから、パケットイネーブル信号P E N_O U T₁，P E N_O U T₂およびインサートイネーブル信号I P E N_O U Tを生成する。

【0052】

図3に示すように、イネーブル信号生成回路212は、NOT回路230の入力端子にP I Dオン・オフ信号S Wが入力され、NOT回路230の出力端子はO R回路232₁，232₂の一方の入力端子に接続されている。

また、O R回路232₁の他方の入力端子には、図2に示すP I D比較回路206からのP I D比較結果信号S 2 0 6が入力される。

また、O R回路232₁の出力端子は、AND回路236₁の一方の入力端子

に接続されている。

また、OR回路232₂の他方の入力端子には、図2に示すPID比較回路208からのPID比較結果信号S208が入力される。

また、OR回路232₂の出力端子は、AND回路236₂の一方の入力端子に接続されている。

また、NOR回路234の入力端子にはPID比較結果信号S206, S208が入力され、NOR回路234の出力端子はAND回路236₄の一方の入力端子に接続されている。

AND回路236₄の他方の入力端子には、PIDオン・オフ信号SWが入力される。

また、AND回路236₄の出力端子は、AND回路236₃の一方の入力端子に接続されている。

【0053】

また、AND回路236₁, 236₂, 236₃の他方の入力端子には、遅延回路214からのパケットイネーブル信号PEN₂が入力される。

また、AND回路236₁, 236₂, 236₃の出力端子は、それぞれD-FF回路216₉, 216₁₀, 216₁₁のD端子に接続される。

また、D-FF回路216₉, 216₁₀, 216₁₁のQ端子からは、それぞれパケットイネーブル信号PEN_OUT₁, PEN_OUT₂, IPEN_OUTが出力される。

【0054】

以下、図3に示すイネーブル信号生成回路212の動作について説明する。

イネーブル信号生成回路212では、PIDオン・オフ信号SWが論理値「1」の場合、すなわち、チャンネル識別データPIDを用いたチャンネル選択がアプリケーションインターフェース回路103において行われる場合であって、パケットイネーブル信号PEN₁を3クロックサイクルだけ遅延したパケットイネーブル信号PEN₂が論理値「1」の場合に、PID比較結果信号S206およびS208が、それぞれD-FF回路216₉および216₁₀において、1クロックサイクルだけ遅延された後に、それぞれパケットイネーブル信号PEN_OUT

T_1 および PEN_OUT_2 として図1に示す送信前処理回路108に出力される。

【0055】

また、このとき、PID比較結果信号S206およびS208の双方が論理値「0」であることを条件に、NOR回路234の出力が論理値「1」になり、1クロックサイクル遅れて、D-FF回路 216_{11} のQ端子から出力されるインサートイネーブル信号IPEN_OUTが論理値「1」になる。

すなわち、MPEG2トランスポータ41から入力したパケットデータに含まれるチャンネル識別データPIDが、CFR114内のPIDレジスタReg₁、Reg₂に記憶されている選択しようとするチャンネルを示すチャンネル指定データCPID₁およびCPID₂のいずれとも一致しない場合に、インサートイネーブル信号IPEN_OUTが論理値「1」になる。

【0056】

以下、図4を参照して、図4(P)に示すようにPIDオン・オフ信号SWが論理値「1」の場合、すなわち、チャンネル識別データPIDを用いたチャンネル選択がアプリケーションインターフェース回路103において行われる場合であって、パケットトイネーブル信号PEN₁およびPID比較結果信号S206の論理値がそれぞれ図4(C)、(K)のようになり、図4(M)に示すようにPID比較結果信号S208が論理値「0」の場合の動作を例示して説明する。

この場合には、図4(K)に示すPID比較結果信号S206を1クロックサイクルだけ遅延した図4(L)パケットトイネーブル信号PEN_OUT₁がD-FF回路 216_9 のQ端子から図1に示す送信前処理回路108に出力される。

また、パケットトイネーブル信号PEN_OUT₂は、図4(N)に示すように論理値「0」となる。

【0057】

インサートパケットバッファ106

インサートパケットバッファ106には、所望のインサートパケットデータIPDがCPU30から書き込まれる。

また例えば、アプリケーションインターフェース回路103において、MPEG

2トランスポータ41から送られてくるデジタル衛星放送のT Sデータから任意の番組のT Sパケットデータを抽出してIEEE1394シリアルバスB U Sに出力する場合には、抽出したT Sパケットデータによって提供される番組に関する情報がインサートパケットデータI P Dとしてインサートパケットバッファ106に書き込まれる。

【0058】

また、インサートパケットバッファ106の容量は、例えば188バイトであり、188バイトまでのデータが有効で、この容量を超えたデータに関しては送信されない。

送信するデータが188バイト以下の場合は、書き込まれたデータ以外が「1」にセットされて送信される。

インサートパケットバッファ106に一度書き込まれたインサートパケットデータI P Dは、再び書き込みが行われるまで、その値を保持される。

インサートパケットバッファ106に書き込まれたインサートパケットデータI P Dは、図3に示すインサートイネーブル信号I P E N _ O U Tが論理値「1」になっているタイミングで、アプリケーションインターフェース回路103および送信前処理回路108を介して、送信用F I F O回路112および送受信用F I F O113の少なくとも一方に転送される。当該転送時には、上述したC F R 114のレジスタI P T x G oが「1」に設定され、転送が終了した場合には自動的に「0」に設定され、C P U 30はこれを確認することで転送終了を確認する。

【0059】

送信前処理回路108

送信前処理回路108は、アプリケーションインターフェース回路103から、T Sパケットデータを構成する図2に示すデータD a t a _ O U Tおよびパケットトイネーブル信号P E N _ O U T₁，P E N _ O U T₂を入力する。

また、送信前処理回路108は、パケットトイネーブル信号P E N _ O U T₁が論理値「1」のときに、データD a t a _ O U Tを、IEEE1394規格のアイソクロナス通信用としてクワドレット（4バイト）単位にデータ長を調整した

後に送信用 FIFO112に書き込む。

また、送信前処理回路108は、パケットイネーブル信号PEN_OUT₂が論理値「1」のときに、データData_OUTを、IEEE1394規格のアイソクロナス通信用としてクワドレット（4バイト）単位にデータ長を調整した後に送受信用 FIFO113に書き込む。

また、送信前処理回路106は、必要に応じて、送信用 FIFO112および送受信用 FIFO113に書き込むデータData_OUTを暗号化する。

【0060】

送信後処理回路109

送信後処理回路109は、送信用 FIFO112および送受信用 FIFO113に格納された選択されたチャンネルのデータ(Data)に対して図7に示すように、1394ヘッダ、ヘッダCRC、CIPヘッダ(Header)1, 2およびデータCRCを附加してリンクコア回路101の送信回路に出力する。

具体的には、図7に示すように、データ長を表すdata-length、このパケット転送されるチャネルの番号（0～63のいずれか）を示すchannel、処理のコードを表すtcode、および各アプリケーションで規定される同期コードsyにより構成した1394ヘッダ、送信ノード番号のためのSID(Source node ID)領域、データブロックの長さのためのDBS(Data Block Size)領域、パケット化におけるデータの分割数のためのFN(Fraction Number)領域、パディングデータのクワドレット数のためのQPC(Quadlet Padding Count)領域、ソースパケットヘッダの有無を表すフラグのためのSPH領域、アイソクロナスパケットデータの数を検出するカウンタのためのDBC領域により構成したCIPヘッダ1、並びに転送されるデータの種類を表す信号フォーマットのためのFMT領域、信号フォーマットに対応して利用されるFDFF(Format Dependent Field)領域およびタイムスタンプ情報のためのSyncTime領域により構成したCIPヘッダ2を附加する。

【0061】

受信前処理回路110

受信前処理回路110は、リンクコア回路101を介してIEEE1394シ

リアルバスB U Sを伝送されてきたアイソクロナス通信用パケットデータを受信し、当該受信パケットデータの1394ヘッダ、C I Pヘッダ1, 2などの内容を解析し、当該パケットデータに含まれるデータを復元し、当該復元したデータを送受信用F I F O 1 1 3に格納する。

【0062】

送受信用F I F O 1 1 3

受信後処理回路113は、送受信用F I F O 1 1 3から読み出したデータをアプリケーションインターフェース回路103に出力し、このとき、データが暗号化されている場合には、当該データを解読する。

【0063】

以下、M P E G 2トランスポータ41から出力された複数のチャンネルが多重化されたT Sデータから所望のチャンネルのT Sパケットデータを抽出し、当該抽出したT Sパケットデータを含むアイソクロナス通信用パケットデータを、I E E E 1 3 9 4シリアルバスB U Sに送出する場合の動作を説明する。

【0064】

この場合には、先ず、C P U 3 0からC F R 1 1 4内のP I DレジスタR e g₁, R e g₂に、デジタル衛星放送の複数のチャンネルが多重化されたT Sストリームから抽出しようとするチャンネルの特定するチャンネル指定データC P I D₁, C P I D₂がそれぞれ設定される。

また、例えば抽出したチャンネルのT Sストリームに、当該チャンネル（番組）の情報として付加すべき挿入用パケットデータであるインサートパケットデータI P Dを挿入する必要が生じたとき、C P U 3 0からC F R 1 1 4のレジスタI P T x G oに論理「1」がセットされる。

【0065】

そして、C F R 1 1 4内のP I DレジスタR e g₁, R e g₂に設定されたチャンネル指定データC P I D₁, C P I D₂が、アプリケーションインターフェース回路103のチャンネル選択回路200に読み込まれる。

【0066】

アプリケーションインターフェース回路103のチャンネル選択回路200では

、デジタル衛星放送の複数のチャンネルが多重化されたTSデータを構成する複数のTSパケットデータが、図4（C）に示すデータData_INとして入力され、5クロックサイクルだけ遅延された後に、図4（O）に示すデータData_OUTとして後段の送信前処理回路108に出力される。

【0067】

また、チャンネル選択回路200では、TSデータを構成する複数のTSパケットデータのうち、チャンネル識別データPID₂がチャンネル指定データCPID₁と一致するTSパケットデータがデータData_OUTとしてアプリケーションインターフェース回路103から送信前処理回路108に出力されるタイミングで論理値「1」になり、それ以外のタイミングで論理値「0」となるパケットイネーブル信号PEN_OUT₁が生成され、パケットイネーブル信号PEN_OUT₁が送信前処理回路108に出力される。

【0068】

チャンネル選択回路200では、TSデータを構成する複数のTSパケットデータのうち、チャンネル識別データPID₂がチャンネル指定データCPID₂と一致するTSパケットデータがデータData_OUTとしてアプリケーションインターフェース回路103から送信前処理回路108に出力されるタイミングで論理値「1」になり、それ以外のタイミングで論理値「0」となるパケットイネーブル信号PEN_OUT₂が生成され、パケットイネーブル信号PEN_OUT₂が送信前処理回路108に出力される。

【0069】

また、チャンネル選択回路200において、TSデータに含まれる複数のTSパケットデータのうち、チャンネル識別データPID₂がチャンネル指定データCPID₁およびCPID₂のどちらも一致しないTSパケットデータ（選択されないTSパケットデータ）がデータData_OUTとしてアプリケーションインターフェース回路103からインサートパケットバッファ106に出力されるタイミングで論理値「1」になり、それ以外のときに論理値「0」になるインサートイネーブル信号IPEN_OUTが生成され、インサートイネーブル信号IPEN_OUTがインサートパケットバッファ106に出力される。

【0070】

そして、インサートイネーブル信号I PEN_OUTが論理値「1」のときには、インサートパケットバッファ106に記憶されている188バイトのインサートパケットデータIPDが、アプリケーションインターフェース回路103を介して送信前処理回路108に出力される。

なお、当該インサートパケットデータIPDは、ホストインターフェース回路102を介して、CPU30からインサートパケットバッファ106に予め書き込まれている。

【0071】

そして、送信前処理回路108において、インサートパケットバッファ106から入力したインサートパケットデータIPDが、アイソクロナス通信用としてクワドレット（4バイト）単位にデータ長が調整された後に、送信用FIFO112あるいは送受信用FIFO113に書き込まれる。

具体的には、CFR114内の所定のレジスタの内容に基づいて、送信前処理回路108に入力されたインサートパケットデータIPDが、送信用FIFO112を介して送信されるチャンネルのTSパケットデータに関する情報を示すものであれば、当該インサートパケットデータIPDは送信用FIFO112に書き込まれ、一方、送受信用FIFO113を介して送信されるチャンネルのTSパケットデータに関する情報を示すものであれば、当該インサートパケットデータIPDは送受信用FIFO113に書き込まれる。

【0072】

なお、インサートパケットデータIPDがインサートパケットバッファ106から送信前処理回路108に出力されるときには、アプリケーションインターフェース回路103から送信前処理回路108に出力されるパケットイネーブル信号PEN_OUT₁およびPEN_OUT₂は論理値「0」になっており、アプリケーションインターフェース回路103から送信前処理回路108に出力されるデータData_OUTは、送信用FIFO112および送受信用FIFO113に書き込まれない。

【0073】

一方、送信前処理回路108では、アプリケーションインターフェース回路103から入力したパケットイネーブル信号PEN_OUT₁が論理値「1」の場合に、アプリケーションインターフェース回路103から入力したデータData_OUTが、アイソクロナス通信用としてクワドレット（4バイト）単位にデータ長が調整された後に送信用FIFO112に書き込まれる。

また、送信前処理回路108では、アプリケーションインターフェース回路103から入力したパケットイネーブル信号PEN_OUT₂が論理値「1」の場合に、アプリケーションインターフェース回路103から入力したデータData_OUTが、アイソクロナス通信用としてクワドレット（4バイト）単位にデータ長が調整された後に送受信用FIFO113に書き込まれる。

このとき、パケットイネーブル信号PEN_OUT₁およびPEN_OUT₂が、同時に論理値「1」になることはないため、送信用FIFO112および送受信用FIFO113への書き込みは同時には発生しない。

【0074】

次に、送信用FIFO112あるいは送受信用FIFO113に格納されたデータが、送信後処理回路109に読み出され、これに図7に示す1394ヘッダ、CIPヘッダ(Header)1, 2などが付加されてアイソクロナス通信用のパケットデータが生成され、当該パケットデータがリンクコア回路101に出力される。

【0075】

次に、送信後処理回路109からリンクコア回路101に出力されたパケットデータが、 $125\mu s$ 毎に、フィジカル・レイヤ回路20に出力され、フィジカル・レイヤ回路20においてエンコード等された後、IEEE1394シリアルバスBUSに出力される。

【0076】

次に、IEEE1394シリアルバスBUSを介してアイソクロナス通信用のパケットデータを受信する場合の動作を説明する。

先ず、IEEE1394シリアルバスBUSを伝送するアイソクロナス通信用

のパケットデータが、フィジカル・レイヤ回路20およびリンクコア101を介して、受信前処理回路110に出力され、受信前処理回路110において、当該受信パケットデータに含まれる1394ヘッダ、CIPヘッダ1、2などの内容が解析された後に、当該受信パケットデータに含まれるデータが復元され、当該復元されたデータが送受信用FIFO113に書き込まれる。

【0077】

次に、送受信用FIFO113から受信後処理回路111にデータが読み出され、受信後処理回路111において、当該データが暗号化されている場合にはその解読が行われた後に、アプリケーションインターフェース回路103に出力される。

そして、当該データが、アプリケーションインターフェース回路103を介して、D/Aコンバータ43あるいはIEC958に出力される。

【0078】

以上説明したように、本実施形態によれば、デジタル衛星放送の複数のチャンネルが多重化されたTSデータをMPEG2トランスポータ41から入力したときに、図2および図3に示すチャンネル選択回路200において、CFR114内のPIDレジスタReg₁、Reg₂に予め設定された選択を行おうとするチャンネルのチャンネル識別データPID₂を示すチャンネル指定データCPID₁、CPID₂と、入力したTSパケットデータに含まれるチャンネル識別データPID₂とを比較することで、当該TSパケットデータをIEEE1394シリアルバスBUSを介して送信するか否かを判断する基準となるパケットイネーブル信号PEN_OUT₁、PEN_OUT₂を生成する。

そして、後段の送信前処理回路108において、パケットイネーブル信号PEN_OUT₁、PEN_OUT₂に基づいて、当該入力したTSパケットデータを送信用FIFO112および送受信用FIFO113に書き込むか否かを決定することで、デジタル衛星放送の複数のチャンネルが多重化されたTSデータから、IEEE1394シリアルバスBUSを介して送信する最大2チャンネル分のTSパケットデータを選択できる。

【0079】

また、本実施形態によれば、図3に示すチャンネル選択回路200のイネーブル信号生成回路212において、複数のチャンネルが多重化されたTSデータに含まれる、選択を行わないチャンネルのTSパケットデータをアプリケーションインターフェース回路103から送信前処理回路108に出力するタイミングで論理値「1」となるインサートイネーブル信号IPEN_OUTを生成する。

そのため、インサートイネーブル信号IPEN_OUTが論理値「1」となっているタイミングで、インサートパケットバッファ106に記憶されているインサートパケットデータIPDをアプリケーションインターフェース回路103を介して送信前処理回路108に出力することで、IEEE1394シリアルバスBUS上をTSパケットデータが送信されていない時間帯に、当該TSパケットデータが提供する番組に関する情報を示すインサートパケットデータIPDを送信できる。

【0080】

本発明は上述した実施形態には限定されない。

例えば、上述した実施形態では、フィジカル・レイヤ回路20を介して、リンク・レイヤ回路10からIEEE1394シリアルバスBUSに、2チャンネル分のTSパケットデータをアイソクロナス転送する場合を例示したが、本発明は、1チャンネル分のTSパケットデータをアイソクロナス転送する場合にも同様に適用できる。

この場合には、図2に示すPID比較回路208と、図3に示すOR回路23₂，AND回路236₂およびD-FF回路216₁₀は不要であり、図3に示すNOR回路234の代わりに、NOT回路を用いる。

【0081】

また、上述した実施形態では、MPEG2トランスポータ41から入力した複数のチャンネルが多重化されたTSデータから、所望のチャンネルのTSパケットデータを選択して送信する場合を例示したが、複数のチャンネルが多重化されデータを出力するものであれば、MPEG2トランスポータ41以外のアプリケーションからデータを入力する場合にも本発明を適用できる。

【0082】

【発明の効果】

以上説明したように、本発明のデータ処理回路によれば、チャンネル選択用の外付け回路を用いることなく、複数のチャンネルが多重化されたデータから特定のチャンネルのパケットデータを選択してデータ伝送路に送出できる。

また、本発明のデータ処理回路によれば、選択したチャンネルのパケットデータの他に、当該選択したチャンネルのパケットデータに関する情報データをデータ伝送路に送出できる。

【図面の簡単な説明】

【図1】

I E E E 1 3 9 4 シリアルインタフェースに適用される本発明に係るM P E G用データ処理回路の一実施形態を示すブロック構成図である。

【図2】

図2は、図1に示すアプリケーションインターフェース回路に内蔵されているチャンネル選択回路の部分構成図である。

【図3】

図3は、図1に示すアプリケーションインターフェース回路に内蔵されているチャンネル選択回路の部分構成図である。

【図4】

図4は、図2および図3に示す各信号のタイミングチャートである。

【図5】

図5は、図2に示す第1のP I D比較回路の構成図である。

【図6】

図6は、図2に示す第2のP I D比較回路の構成図である。

【図7】

図7は、アイソクロナス通信用パケットデータの基本構成例を示す図である。

【図8】

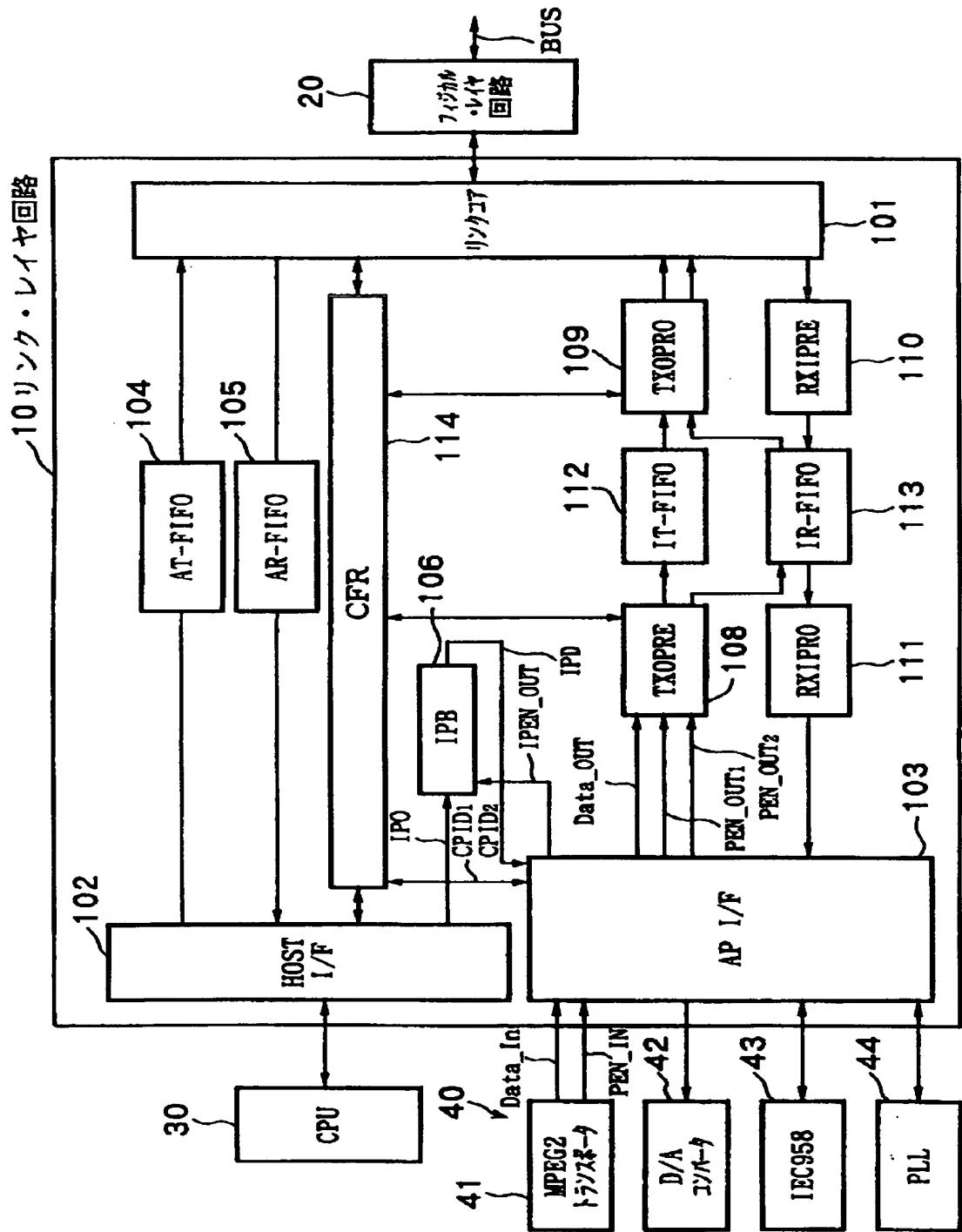
図8は、I E E E 1 3 9 4 シリアルインタフェースにおけるアイソクロナス通信系回路の基本構成を示すブロック図である。

【符号の説明】

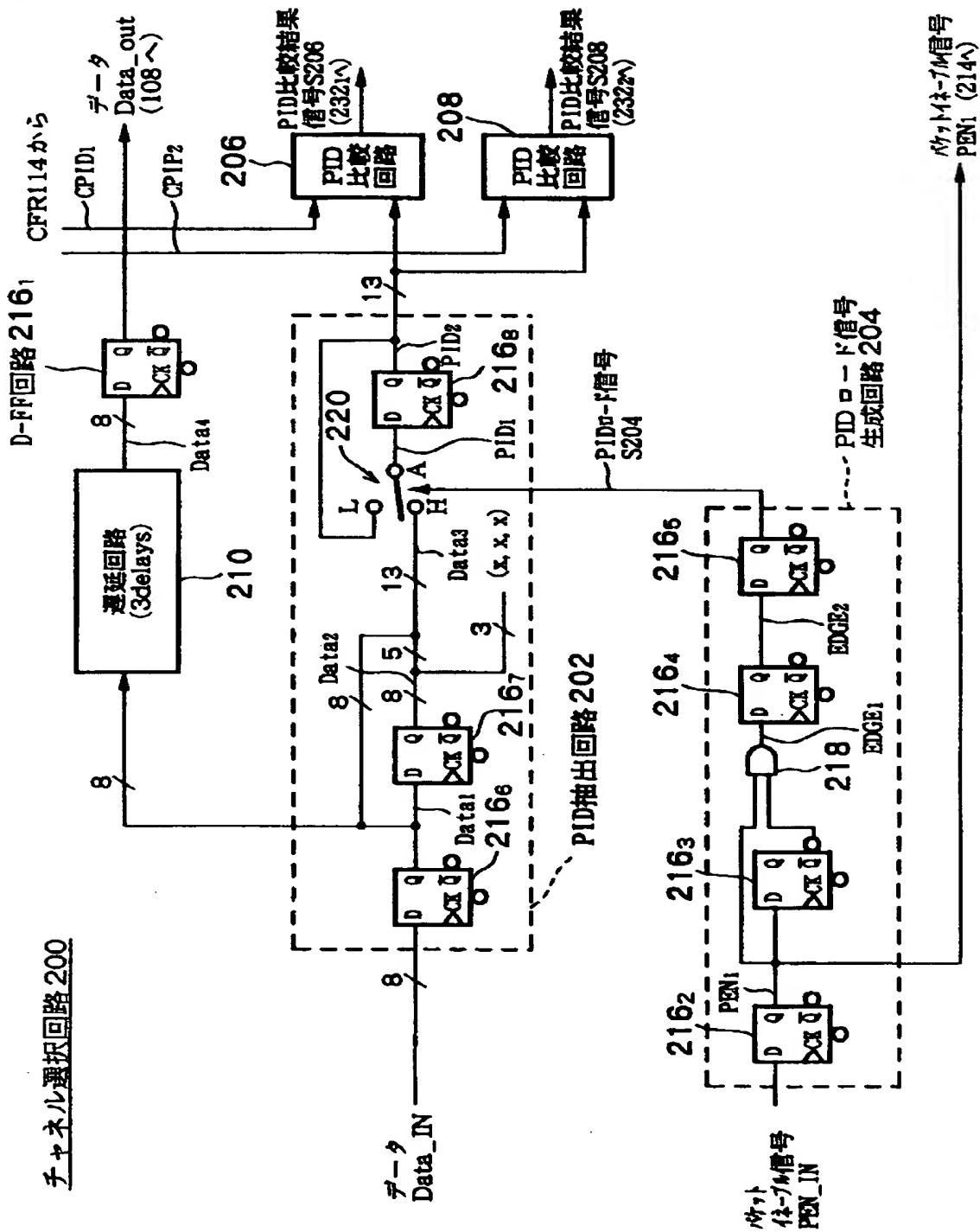
10…リンク・レイヤ回路、101…リンクコア回路(Link Core)、102…ホストインターフェース回路(Host I/F)、103…アプリケーションインターフェース回路(AP I/F)、104…シンクロナス通信の送信用FIFO回路(AT-FIFO)、105…シンクロナス通信の受信用FIFO回路(AR-FIFO)、106…インサートパケットバッファ(IPB)、108…アイソクロナス通信用送信前処理回路(TXOPRE)、109…アイソクロナス通信用送信後処理回路(TXOPRO)、110…アイソクロナス通信用受信前処理回路(TXPRE)、111…アイソクロナス通信用受信後処理回路(TXIPRO)、112…アイソクロナス通信の送信用FIFO回路(IT-FIFO)、113…アイソクロナス通信の送受信用FIFO回路(IR-FIFO)、114…コンフィギュレーションレジスタ(CFR)、20…フィジカル・レイヤ回路、30…CPU、40…アプリケーション、41…MPEGトランスポータ、42…D/Aコンバータ、43…IEC958デジタルオーディオ回路、44…PLL回路、200…チャンネル選択回路

【書類名】 図面

【図1】

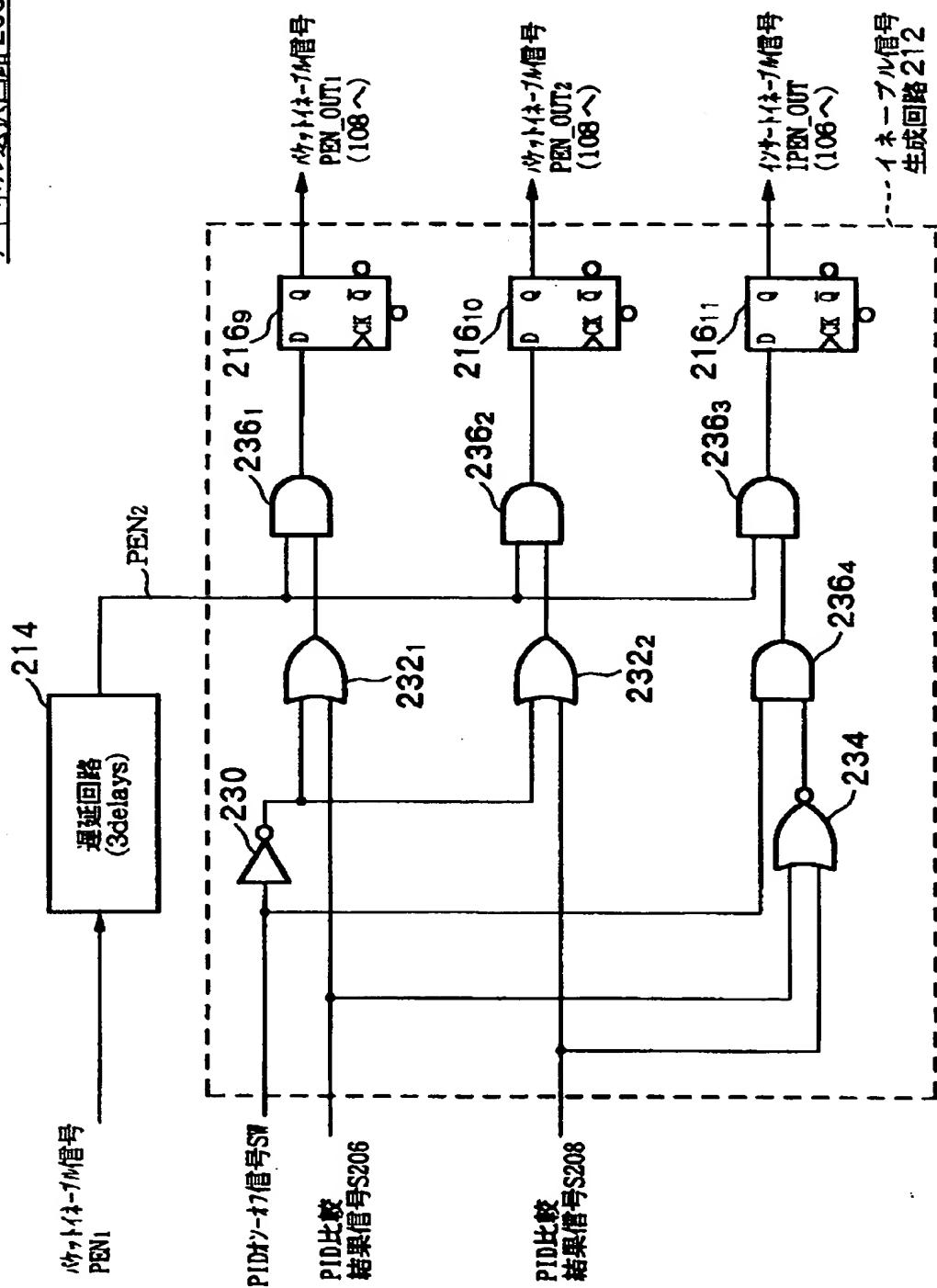


【図2】

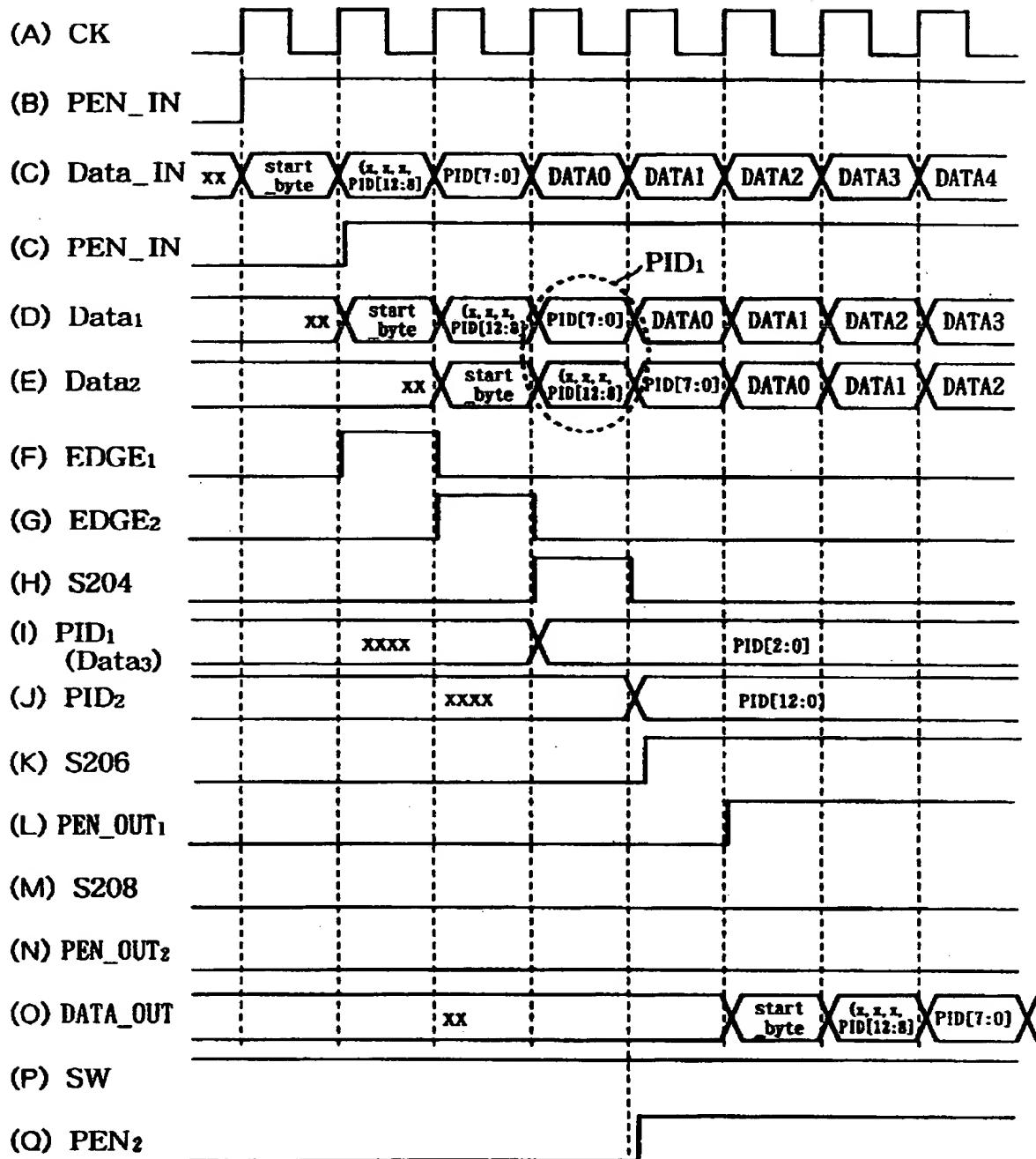


【図3】

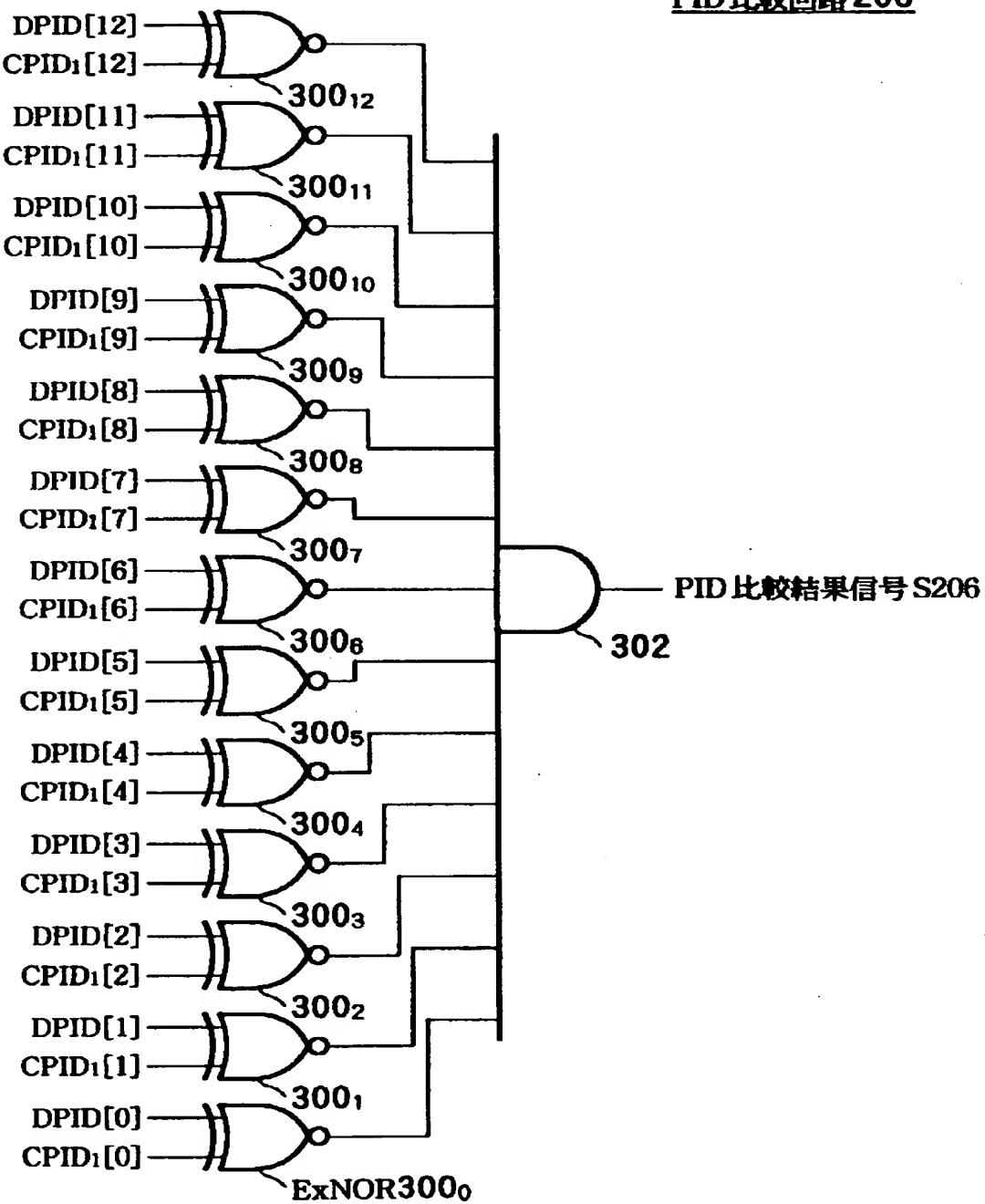
チヤネル選択回路200



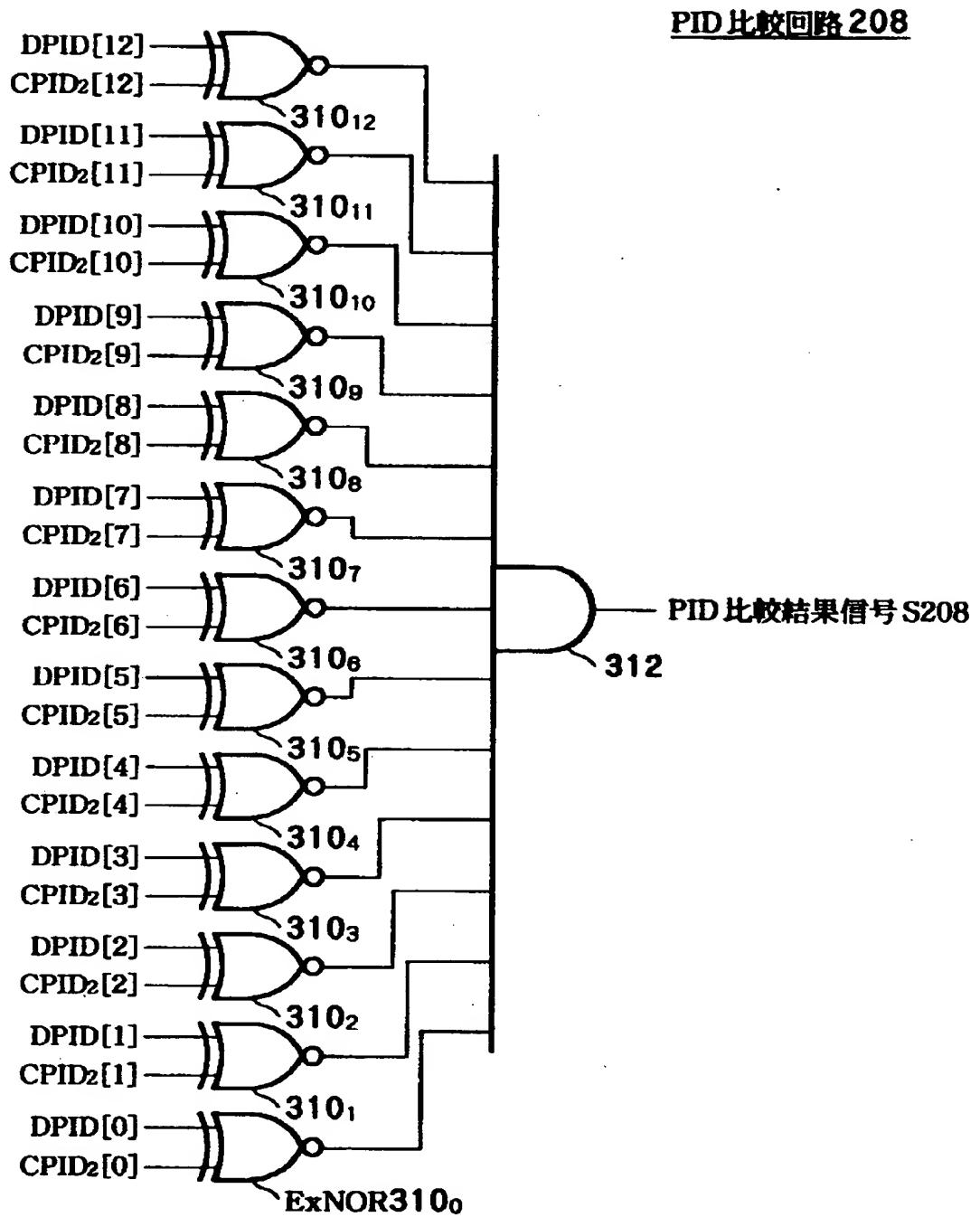
【図4】



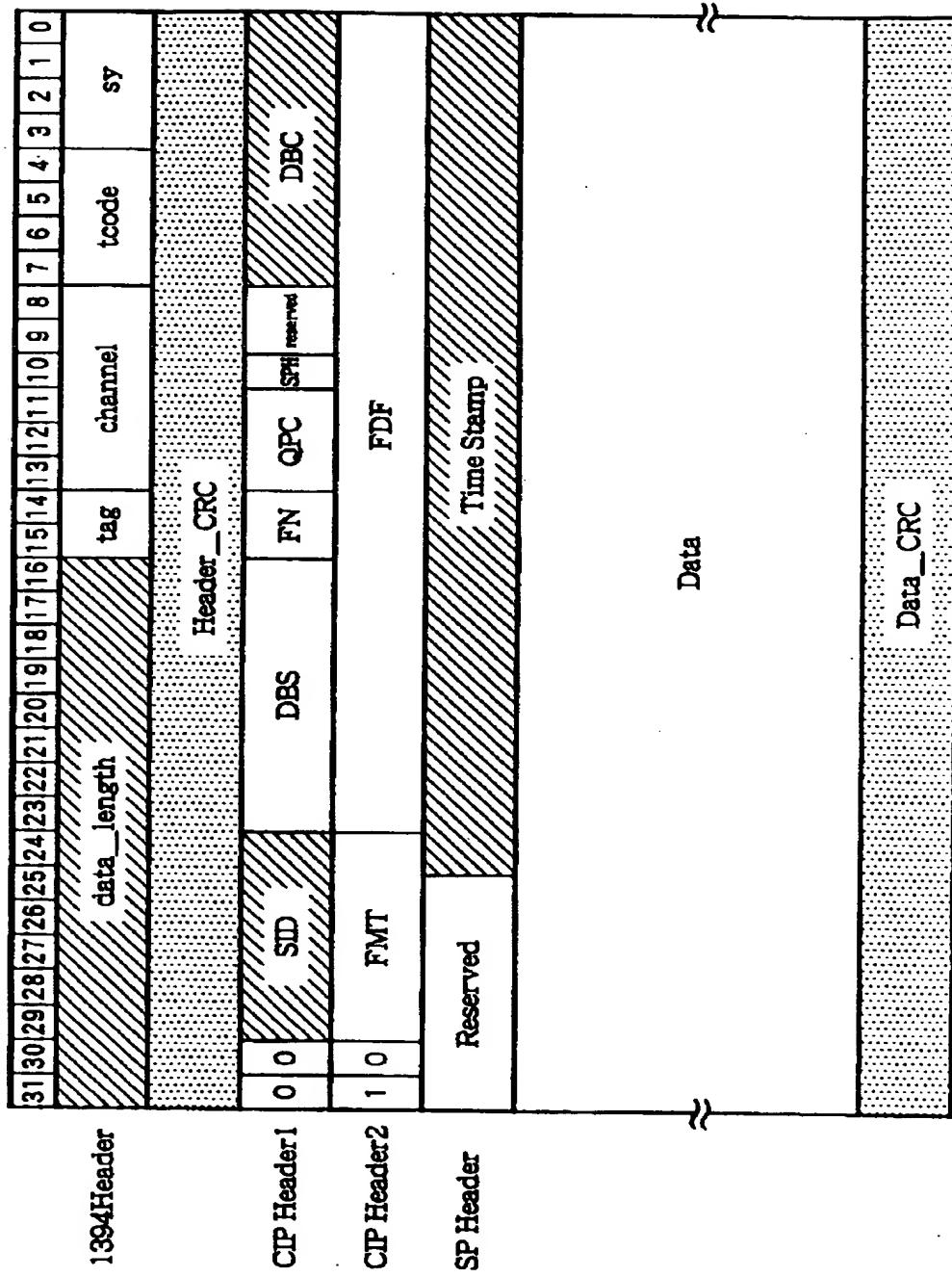
【図5】

PID比較回路 206

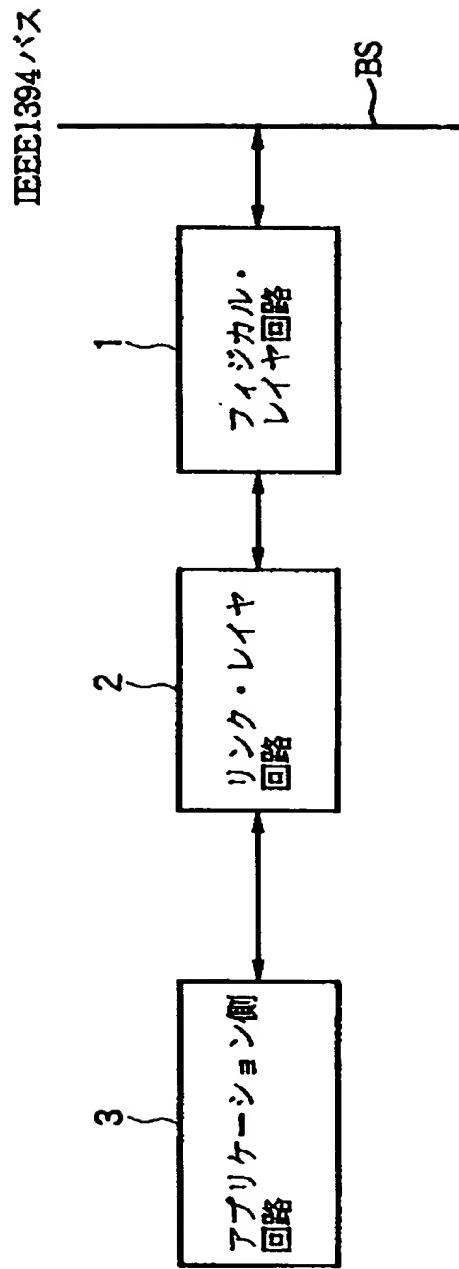
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 チャンネル選択用の外付け回路を用いることなく、特定のチャンネルのデータを選択してデータ伝送路に送出できるデータ処理回路を提供する。

【解決手段】 アプリケーションインターフェース回路103において、MPEGトランスポータ41から入力したパケットイネーブル信号PEN_INに基づいて、データData_INを構成する各パケットデータ内のチャンネル識別データを抽出し、当該抽出したチャンネル識別データとチャンネル指定データとを比較し、比較の結果が一致を示す場合に、パケットイネーブル信号PEN_OUT₁として送信前処理回路108に出力し、比較の結果が不一致を示す場合に、無効を示すパケットイネーブル信号PEN_OUT₁を送信前処理回路108に出力する。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002185
【住所又は居所】 東京都品川区北品川6丁目7番35号
【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053
【住所又は居所】 東京都台東区柳橋2丁目4番2号 創進国際特許事務所
【氏名又は名称】 佐藤 隆久

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社